

## STORAGE DEVICE

**Publication number:** JP6266605 (A)

**Publication date:** 1994-09-22

**Inventor(s):** SATSUTA YUUSUKE

**Applicant(s):** YOKOGAWA MEDICAL SYST

**Classification:**

- international: G06F12/00; G06F12/00; (IPC1-7): G06F12/00

- European:

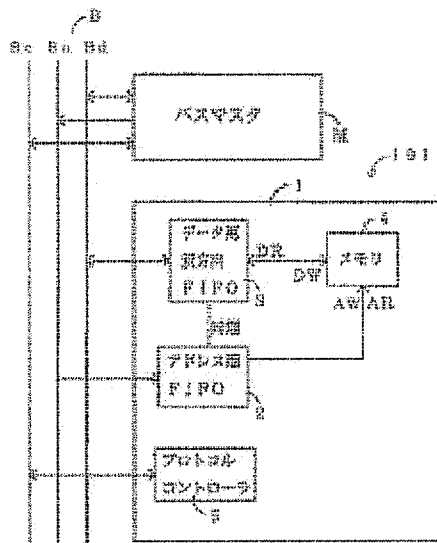
**Application number:** JP19930056024 19930316

**Priority number(s):** JP19930056024 19930316

### Abstract of JP 6266605 (A)

**PURPOSE:** To transfer data of one group where addresses are discontinuous at high speed.

**CONSTITUTION:** A memory board 1 is provided with FIFO for address 2 which accumulates write addresses AW or read addresses AR received from an address bus Ba and sequentially outputs them to the address port of a memory 4 and bidirectional FIFO for data 3 which accumulates write data DW received from a data bus Bd in accordance with the write addresses DW and sequentially output them to the data port of the memory 4 or accumulates read data DR which are read from the memory 4 in accordance with the read addresses AR and sequentially transmits them to the data bus Bd.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-266605

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>  
G 0 6 F 12/00識別記号  
5 6 1庁内整理番号  
9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平5-56024

(22)出願日 平成5年(1993)3月16日

(71)出願人 000121936

ジーイー横河メディカルシステム株式会社  
東京都日野市旭が丘4丁目7番地の127

(72)発明者 薩▲た▼ 雄介

東京都日野市旭が丘4丁目7番地の127  
横河メディカルシステム株式会社内

(74)代理人 弁理士 有近 紳志郎

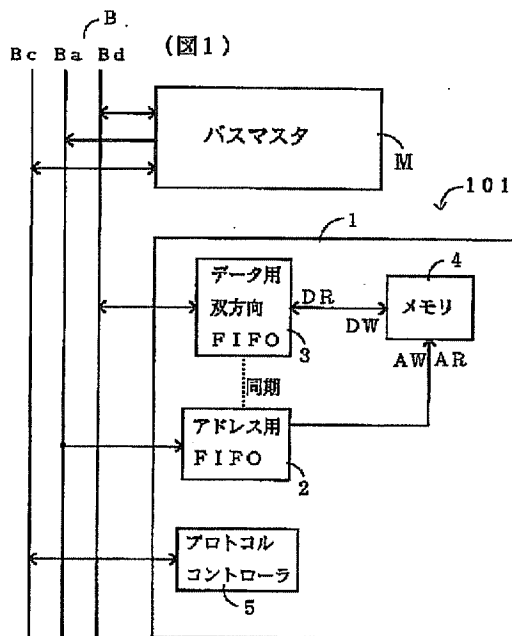
(54)【発明の名称】 記憶装置

(57)【要約】

【目的】 アドレスが不連続な一群のデータでも高速転送を可能とする。

【構成】 メモリボード1は、アドレスバスBaから受け取った書込アドレスAWまたは読出アドレスARを蓄積しそれをメモリ4のアドレスポートへ順に出力するアドレス用FIFO2と、前記書込アドレスAWに対応してデータバスBdから受け取った書込データDWを蓄積しメモリ4のデータポートへ順に出力するか又は前記読出アドレスARに対応してメモリ4から読み出された読出データDRを蓄積し順にデータバスBdへ送出するデータ用双方向FIFO3とを具備する。

【効果】 アドレスが不連続な一群のデータでも、まとめて高速転送できる。



## 【特許請求の範囲】

【請求項1】 アドレスバスおよびデータバスに接続され、ランダムアクセス可能なメモリを備えた記憶装置において、アドレスバスから受け取った書込アドレスまたは読出アドレスを蓄積しそれら書込アドレスまたは読出アドレスをメモリのアドレスポートへ順に出力するアドレス用FIFOと、前記書込アドレスに対応してデータバスから受け取った書込データを蓄積しメモリのデータポートへ順に出力するか又は前記読出アドレスに対応してメモリから読み出された読出データを蓄積し順にデータバスへ送出するデータ用FIFOとを具備したことを特徴とする記憶装置。

【請求項2】 アドレスバスおよびデータバスに接続され、ランダムアクセス可能なメモリを備えた記憶装置において、転送元アドレスまたは転送先アドレスを発生させるアドレス発生器と、そのアドレス発生器から入力された転送元アドレスまたは転送先アドレスを蓄積しそれらをアドレスバスへ順に送出するアドレス用FIFOと、前記アドレスバスへ送出した転送元アドレスに対応してデータバスから受け取った書込データを蓄積しメモリのデータポートへ順に出力するか又はメモリから読み出された読出データを蓄積し前記転送先アドレスのアドレスバスへの送出に対応させて順にデータバスへ送出するデータ用FIFOとを具備したことを特徴とする記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、記憶装置に関し、さらに詳しくは、一群のデータのアドレスが不連続であってもメモリへの書込みや読出を高速に行うことが出来る記憶装置に関する。

## 【0002】

【従来の技術】図7は、第1メモリ72に格納されている一群のデータを、第2メモリ73に転送する場合の一般的構成図である。CPU71は、アドレスバスBaを介して第1メモリ72のアドレスポートへ読出アドレスARを与え、データバスBdを介して第1メモリ72から読出データDRを読み込む。次に、CPU71は、アドレスバスBaを介して第2メモリ73のアドレスポートへ書込アドレスAWを与え、データバスBdを介して第2メモリ73へ書込データDW（＝先の読出データDR）を書き込む。これを一群のデータの全てについて繰り返す。

【0003】図8は、第1メモリ72に格納されている一群のデータのアドレスが連続している場合に、それを高速に第2メモリ73に転送する場合の構成図である。CPU71は、第1メモリ72の連続アドレス発生器81に読出アドレスの先頭アドレスとデータ量とを与え、一方、第2メモリ73の連続アドレス発生器83に書込アドレスの先頭アドレスとデータ量とを与える。第1メ

モリ72の連続アドレス発生器81は、読出アドレスの先頭アドレスから順に読出アドレスARを発生して、第1メモリ72のアドレスポートへ与える。それに対応して第1メモリ72から読み出された読出データDRは、第1メモリ72のFIFO82に蓄積される。第1メモリ72のFIFO82は、蓄積した読出データDRをデータバスBdへ送出する。第2メモリ73のFIFO84は、データバスBdから受け取った読出データDRを蓄積する。第2メモリ73の連続アドレス発生器83は、書込アドレスの先頭アドレスから順に書込アドレスAWを発生して、第2メモリ73のアドレスポートへ与える。それに対応して第2メモリ73のFIFO84から取り出された書込データDW（＝先の読出データDR）は、第2メモリ73に書き込まれる。

【0004】この種の高速転送の他の従来例としては、例えばVMEbusにおけるSSBLTや、Futurebus+におけるバケットモードなどがあり、転送するデータ自身に同期ビットを持たせることで、各ボード共通の同期クロックなしに最大100MTr/s（転送/sec）までのデータ転送を可能としている。

## 【0005】

【発明が解決しようとする課題】図7の構成では、一つ一つのデータについてバスの獲得や開放のための手続きを行うため、この手続き時間の割合が大きくなり、高速転送に向かない問題点がある。一方、図8の構成やSSBLTなどでは、複数のデータについてバスの獲得や開放のための手続きを行うから高速転送が可能になるが、一群のデータのアドレスが連続している必要があるため、例えば2次元画像からの一部のデータの切り出しや、3次元画像からの2次元画像の切り出しのように、一群のデータのアドレスが不連続な場合には適用できない問題点がある。そこで、この発明の目的は、アドレスが不連続な一群のデータでも高速に書込みや読出しを行うことが出来る記憶装置を提供することにある。

## 【0006】

【課題を解決するための手段】第1の観点では、この発明は、アドレスバスおよびデータバスに接続され、ランダムアクセス可能なメモリを備えた記憶装置において、アドレスバスから受け取った書込アドレスまたは読出アドレスを蓄積しそれら書込アドレスまたは読出アドレスをメモリのアドレスポートへ順に出力するアドレス用FIFOと、前記書込アドレスに対応してデータバスから受け取った書込データを蓄積しメモリのデータポートへ順に出力するか又は前記読出アドレスに対応してメモリから読み出された読出データを蓄積し順にデータバスへ送出するデータ用FIFOとを具備したことを特徴とする記憶装置を提供する。

【0007】第2の観点では、この発明は、アドレスバスおよびデータバスに接続され、ランダムアクセス可能なメモリを備えた記憶装置において、転送元アドレスま

たは転送先アドレスを発生させるアドレス発生器と、そのアドレス発生器から入力された転送元アドレスまたは転送先アドレスを蓄積しそれらをアドレスバスへ順に送出するアドレス用FIFOと、前記アドレスバスへ送出した転送元アドレスに対応してデータバスから受け取った書込データを蓄積しメモリのデータポートへ順に出力するか又はメモリから読み出された読出データを蓄積し前記転送先アドレスのアドレスバスへの送出に対応させて順にデータバスへ送出するデータ用FIFOとを具備したことを特徴とする記憶装置を提供する。

#### 【0008】

【作用】上記第1の観点によるこの発明の記憶装置では、データ転送用FIFOに加えてアドレス用FIFOを備えている。このアドレス用FIFOは、書込アドレスまたは読出アドレスをアドレスバスから受け取って蓄積し、それらをメモリのアドレスポートへ順に出力する。すなわち、複数のランダムなアドレスをまとめて受け取り、順にメモリに与えることが出来る。そこで、アドレスが不連続な一群のデータでもまとめてバス上を転送することが可能となり、高速転送が可能となる。

【0009】上記第2の観点によるこの発明の記憶装置では、データ転送用FIFOに加えてアドレス発生器とアドレス用FIFOとを備えている。アドレス発生器は、転送元アドレスまたは転送先アドレスを発生させ、アドレス用FIFOは、転送元アドレスまたは転送先アドレスをアドレス発生器から受け取って蓄積し、それらをアドレスバスへ順に出力する。すなわち、複数のランダムなアドレスをまとめてアドレスバスに送出することが出来る。そこで、アドレスが不連続な一群のデータでもまとめてバス上を転送することが可能となり、高速転送可能となる。

#### 【0010】

【実施例】以下、図に示す実施例によりこの発明を説明する。なお、これによりこの発明が限定されるものではない。

#### 【0011】—第1実施例—

図1は、この発明の第1実施例の記憶装置を実現するメモリボード1を含むバスシステム101の要部構成図である。このバスシステム101において、バスBには、バスマスタMとメモリボード1とが接続されている。バスBは、データバスBdと、アドレスバスBaと、制御バスBcとからなっている。バスマスタMは、メモリボード1へ転送するデータをデータバスBdへ送出すると共にそれらデータの書込アドレスをアドレスバスBaへ送出する。また、バスマスタMは、メモリボード1からデータバスBdへ送出されたデータを取り込む。

【0012】メモリボード1は、アドレス用FIFO2と、データ用双方向FIFO3と、メモリ4と、プロトコルコントローラ5とを具備してなる。アドレス用FIFO2は、アドレスバスBaから受け取った書込アドレ

スAWまたは読出アドレスARを蓄積し、それらをメモリ4のアドレスポートへ順に出力する。データ用双方向FIFO3は、データバスBdから受け取った書込データを蓄積し、それらデータを書込データDWとしてメモリ4のデータポートへ順に出力する。この出力は、アドレス用FIFO2からの書込アドレスAWの出力と同期させて行う。また、データ用双方向FIFO3は、アドレス用FIFO2からの読出アドレスARの出力に対応してメモリ4のデータポートから読み出された読出データDRを蓄積し、それら読出データDRをデータバスBdへ順に送出する。プロトコルコントローラ5は、制御バスBcから受け取った制御信号に基づいて、各部の作動を制御する。

【0013】図2は、バスマスタMがメモリボード1に一群のデータ「D1」、「D3」、「D5」、「D7」を書き込む場合のタイミングチャートである。バスマスタMは、図2の(a)に示すように書込アドレス「A1」、「A3」、「A5」、「A7」をアドレスバスBaへ出力すると共に、図2の(b)に示すように書込データ「D1」、「D3」、「D5」、「D7」をデータバスBdに出力する。なお、書込アドレスを「A1」、「A3」、「A5」、「A7」としたのは、書込アドレスが不連続であってもよいことを示すためである。メモリボード1では、アドレス用FIFO2は、アドレスバスBaから受け取った書込アドレス「A1」、「A3」、「A5」、「A7」を蓄積する。また、データ用双方向FIFO3は、データバスBdから受け取った書込データ「D1」、「D3」、「D5」、「D7」を蓄積する。そして、アドレス用FIFO2は、図2の(c)に示すように書込アドレス「A1」、「A3」、「A5」、「A7」をメモリ4のアドレスポートへ順に出力する。また、データ用双方向FIFO3は、図2の(d)に示すように書込データ「D1」、「D3」、「D5」、「D7」をメモリ4のデータポートへ順に出力する。

【0014】図3は、バスマスタMがメモリボード1から読出アドレス「A2」、「A4」、「A6」、「A8」の一群のデータを読み出す場合のタイミングチャートである。バスマスタMは、図3の(a)に示すように読出アドレス「A2」、「A4」、「A6」、「A8」をアドレスバスBaへ送出する。なお、読出アドレスを「A2」、「A4」、「A6」、「A8」としたのは、読出アドレスが不連続であってもよいことを示すためである。メモリボード1では、アドレス用FIFO2は、アドレスバスBaから受け取った読出アドレス「A2」、「A4」、「A6」、「A8」を蓄積する。そして、図3の(b)に示すように読出アドレス「A2」、「A4」、「A6」、「A8」をメモリ4のアドレスポートへ出力する。データ用双方向FIFO3は、前記読出アドレス「A2」、「A4」、「A6」、「A8」に

対して図3の(c)に示すようにメモリ4のデータポートから出力された読出データ「D2」、「D4」、「D6」、「D8」を蓄積する。そして、図3の(d)に示すように、読出データ「D2」、「D4」、「D6」、「D8」をデータバスBdに順に送出する。バスマスタMは、データバスBd上の読出データ「D2」、「D4」、「D6」、「D8」を取り込む。

【0015】以上のように、アドレスが不連続な一群のデータでも、まとめてバスB上を転送することが可能となり、高速転送が可能となる。

#### 【0016】—第2実施例—

図4は、この発明の第2実施例の記憶装置を実現するメモリボード11Aを含むバスシステム201の要部構成図である。このバスシステム201において、バスBには、メモリボード11A、11B、11Cが接続されている。バスBは、データバスBdと、アドレスバスBaと、制御バスBcとからなっている。メモリボード11Aは、バススレーブとしてもバスマスタとしても動作可能であり、アドレス発生器16と、アドレス用双方向FIFO12と、データ用双方向FIFO13と、メモリ4と、プロトコルコントローラ15と、アドレス切換器17とを具備してなる。

【0017】アドレス発生器16は、メモリボード11Aがバススレーブとして動作するときは、停止している。一方、アドレス発生器16は、メモリボード11Aがバスマスタとして動作するときは、一群の書込データの転送元となる他のデバイスのアドレスバスBa上のアドレスASまたは一群の読出データの転送先となる他のデバイスのアドレスバスBa上のアドレスASを発生し、アドレス用双方向FIFO12へ出力する。さらに、一群の書込データを書き込むべきメモリ4上の書込アドレスAWまたは一群の読出データを読み出すべきメモリ4上の読出アドレスARを発生し、アドレス切換器17へ出力する。

【0018】アドレス用双方向FIFO12は、メモリボード11Aがバススレーブとして動作するときは、アドレスバスBaから受け取った書込アドレスAWまたは読出アドレスARを蓄積し、それらをアドレス切換器17へ順に出力する。一方、アドレス用双方向FIFO12は、メモリボード11Aがバスマスタとして動作するときは、前記アドレス発生器16から入力された転送元アドレスASまたは転送先アドレスASを蓄積し、それをアドレスバスBaへ順に送出する。

【0019】アドレス切換器17は、メモリボード11Aがバススレーブとして動作するときは、アドレス用双方向FIFO12が出力するアドレスをメモリ4のアドレスポートに入力する。一方、アドレス切換器17は、メモリボード11Aがバスマスタとして動作するときは、アドレス発生器16が出力するアドレスをメモリ4のアドレスポートに入力する。

【0020】データ用双方向FIFO13は、メモリボード11Aがバススレーブとして動作するときには、データバスBdから受け取った書込データを蓄積し、それを書込データDWとしてメモリ4のデータポートへ順に出力する。この出力は、アドレス用双方向FIFO12からの書込アドレスAWの出力と同期させて行う。また、データ用双方向FIFO13は、アドレス用FIFO12からの読出アドレスARの出力に対応してメモリ4のデータポートから読み出された読出データDRを蓄積し、それら読出データDRをデータバスBdへ順に送出する。一方、データ用双方向FIFO13は、メモリボード11Aがバスマスタとして動作するときには、アドレス用双方向FIFO12がアドレスバスBaへ送出した転送元アドレスASに対応して他のデバイスからデータバスBbに送出されたデータを受け取って蓄積し、それらを書込データDWとしてメモリ4のデータポートへ順に出力する。この出力は、アドレス発生器16からの書込アドレスAWの出力と同期させて行う。また、データ用双方向FIFO13は、アドレス発生器16からの読出アドレスARの出力に対応してメモリ4のデータポートから読み出された読出データDRを蓄積し、それら読出データDRをデータバスBdへ順に送出する。この出力は、アドレス用双方向FIFO12からの転送先アドレスASの出力と同期させて行う。

【0021】プロトコルコントローラ15は、制御バスBcから受け取った制御信号に基づいて、各部の作動を制御する。

【0022】メモリボード11B、11Cは、メモリボード11AからデータバスBdへ送出された読出データを、メモリボード11AからアドレスバスBaへ送出された転送先アドレスに対応して取り込む。また、メモリボード11B、11Cは、メモリボード11AからアドレスバスBaへ送出された転送元アドレスに対応するデータをデータバスBdへ送出する。

【0023】メモリボード11Aがバススレーブとして動作するときには、図2、図3の第1実施例と同様のタイミングチャートとなる。一方、メモリボード11Aがバスマスタとして動作するときには、図5、図6のタイミングチャートとなる。

【0024】図5は、メモリボード11Aが転送元アドレス「A1'」、「A3'」、「A5'」、「A7'」に対応する他のデバイスからの一群の書込データ「D1」、「D3」、「D5」、「D7」を書込アドレス「A1」、「A3」、「A5」、「A7」に書き込む場合のタイミングチャートである。メモリボード11Aのアドレス発生器16は、図5の(a)に示すように転送元アドレス「A1'」、「A3'」、「A5'」、「A7'」を発生し、アドレス用双方向FIFO12へ出力する。アドレス用双方向FIFO12は、転送元アドレス「A1'」、「A3'」、「A5'」、「A7'」を

蓄積し、図5の(b)に示すようにアドレスバスBaへ順に送出する。データ用双方向FIFO13は、前記転送元アドレス「A1'」、「A3'」、「A5'」、「A7'」に対応して図5の(c)に示すように他のデバイスからデータバスBd上に送出されたデータ「D1」、「D3」、「D5」、「D7」を蓄積する。次に、アドレス発生器16は、図5の(d)に示すように、書込アドレス「A1」、「A3」、「A5」、「A7」を発生し、アドレス切換器17を経由して、メモリ4のアドレスポートに入力する。これと同期して、データ用双方向FIFO13は、図5の(e)に示すように、書込データ「D1」、「D3」、「D5」、「D7」をメモリ4のデータポートに順に入力する。

【0025】図6は、メモリボード11Aが読出アドレス「A2」、「A4」、「A6」、「A8」の一群の読出データ「D2」、「D4」、「D6」、「D8」を転送先アドレス「A2'」、「A4'」、「A6'」、「A8'」に対応する他のデバイスに転送する場合のタイミングチャートである。まず、メモリボード11Aのアドレス発生器16は、図6の(a)に示すように読出アドレス「A2」、「A4」、「A6」、「A8」を発生し、アドレス切換器17を経由して、メモリ4のアドレスポートに入力する。データ用双方向FIFO13は、前記読出アドレス「A2」、「A4」、「A6」、「A8」に対応して、図6の(b)に示すように、メモリ4のデータポートから読み出された読出データ「D2」、「D4」、「D6」、「D8」を蓄積する。次に、アドレス発生器16は、図6の(c)に示すように、転送先アドレス「A2'」、「A4'」、「A6'」、「A8'」を発生し、アドレス用双方向FIFO12へ出力する。アドレス用双方向FIFO12は、前記転送先アドレス「A2'」、「A4'」、「A6'」、「A8'」を蓄積し、図6の(d)に示すように、アドレスバスBaへ順に送出する。これと同期して、データ用双方向FIFO13は、図6の(e)に示すように、読出データ「D2」、「D4」、「D6」、「D8」をデータバスBdへ送出する。

【0026】以上のように、アドレスが不連続な一群のデータでも、まとめてバスB上を転送することが可能と\*

\*なり、高速転送が可能となる。

【0027】

【発明の効果】この発明の記憶装置によれば、データ転送用FIFOに加えてアドレス用FIFOを備えたので、アドレスが不連続な一群のデータでも、まとめてバスB上を転送することが可能となり、高速転送が可能となる。

【図面の簡単な説明】

【図1】この発明の第1実施例の記憶装置を実現するメモリボードを含むバスシステムの要部構成図である。

【図2】図1のバスシステムでメモリボードへのデータ書込の動作を示すタイムチャートである。

【図3】図1のバスシステムでメモリボードからのデータ読出の動作を示すタイムチャートである。

【図4】この発明の第2実施例の記憶装置を実現するメモリボードを含むバスシステムの要部構成図である。

【図5】図4のバスシステムでメモリボードへのデータ書込の動作を示すタイムチャートである。

【図6】図4のバスシステムでメモリボードからのデータ読出の動作を示すタイムチャートである。

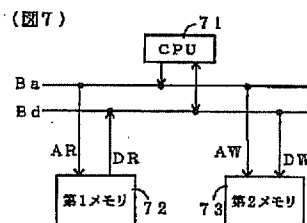
【図7】一般的なデータ転送の説明図である。

【図8】アドレスが連続な一群のデータの転送の説明図である。

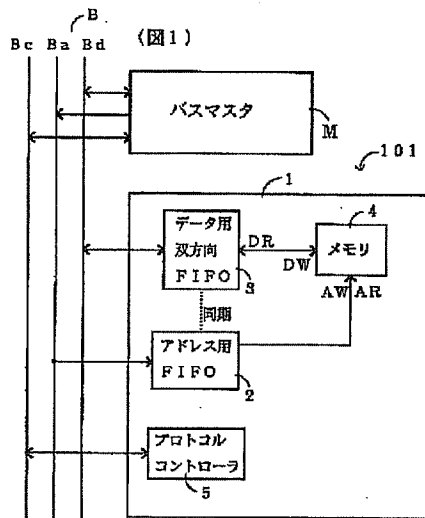
【符号の説明】

101, 201	バスシステム
1, 11A	メモリボード
2	アドレス用FIFO
12	アドレス用双方向FIFO
3, 13	データ用双方向FIFO
4	メモリ
5, 15	プロトコルコントローラ
16	アドレス発生器
17	アドレス切換器
M	バスマスタ
Ba	アドレスバス
Bd	データバス
Bc	制御バス
B	バス

【図7】



【図1】



【図2】

(図2)

(a)

Ba  $\overline{A1} \overline{A3} \overline{A5} \overline{A7}$ 

(b)

Bd  $\overline{D1} \overline{D3} \overline{D5} \overline{D7}$ 

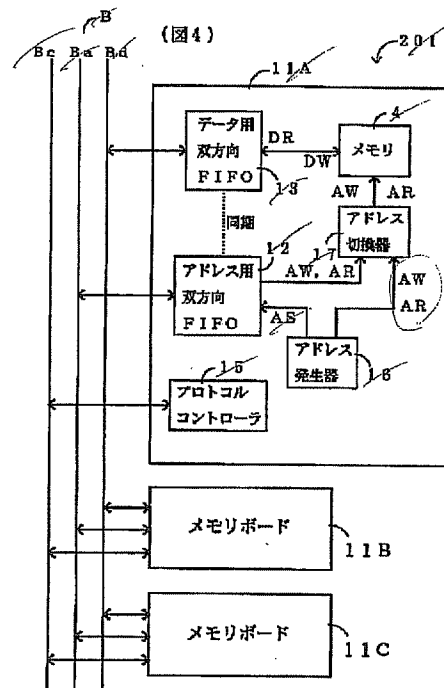
(c)

メモリのアドレスポート  $\overline{A1} \overline{A3} \overline{A5} \overline{A7}$ 

(d)

メモリのデータポート  $\overline{D1} \overline{D3} \overline{D5} \overline{D7}$ 

【図4】



【図3】

(図3)

(a)

Ba  $\overline{A2} \overline{A4} \overline{A6} \overline{A8}$ 

(b)

メモリのアドレスポート  $\overline{A2} \overline{A4} \overline{A6} \overline{A8}$ 

(c)

メモリのデータポート  $\overline{D2} \overline{D4} \overline{D6} \overline{D8}$ 

(d)

Bd  $\overline{D2} \overline{D4} \overline{D6} \overline{D8}$ 

【図6】

(図6)

(a)

アドレス発生器 (メモリ側)  
 $\overline{A2} \overline{A4} \overline{A6} \overline{A8}$ 

(b)

メモリのデータポート  
 $\overline{D2} \overline{D4} \overline{D6} \overline{D8}$ 

(c)

アドレス発生器 (アドレス用双方向FIFO側)  
 $\overline{A2'} \overline{A4'} \overline{A6'} \overline{A8'}$ 

(d)

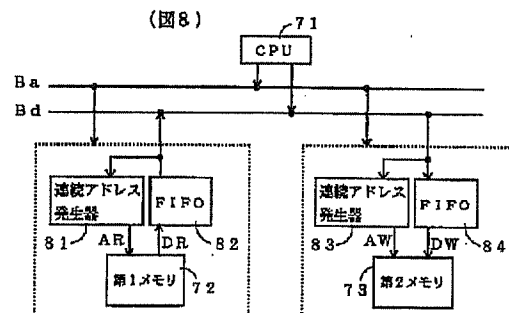
Ba  $\overline{A2'} \overline{A4'} \overline{A6'} \overline{A8'}$ 

(e)

Bd  $\overline{D2} \overline{D4} \overline{D6} \overline{D8}$ 

【図8】

(図8)



【図5】

